



(19)

(11) Publication number: **2000332156 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **2000073515**(51) Intl. Cl.: **H01L 23/12 B28B 11/00 H01L 23/13 H05K 3/46**(22) Application date: **16.03.00**(30) Priority: **16.03.99 US 99 270346**(43) Date of application
publication: **30.11.00**(84) Designated contracting
states:(71) Applicant: **CTS CORP**(72) Inventor: **PAUL N SHEPARD**

(74) Representative:

**(54) MULTILAYER LOW
TEMPERATURE CO-FIRED
CERAMIC HAVING
IMPROVED ALIGNMENT**

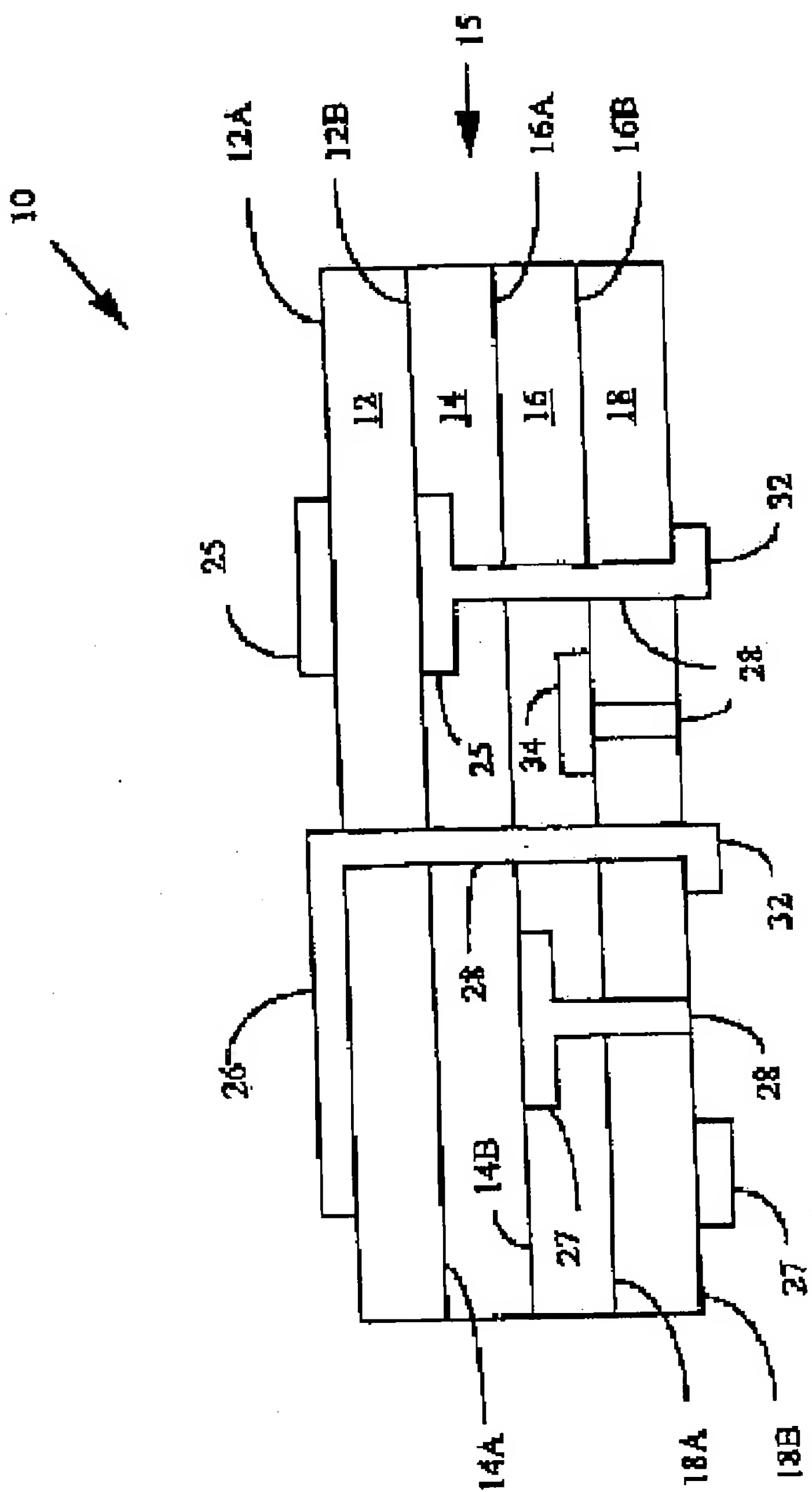
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a low temperature co-fired ceramic assembly having a restricted core for minimizing shrinkage of the outer ceramic layer when firing.

SOLUTION: The outer ceramic layer 12, 18 has a high density circuit structure part and a ceramic core 15 has several ceramic layers 14, 16. Several holes 28 are made in first and second ceramic layers and several low density circuit structure parts 25, 27 are arranged on the ceramic layer forming the core. The outer ceramic layers are formed on and under the ceramic core. The outer ceramic layer has a via hole 28 and a high density circuit structure part 25, 26. The circuit structure part patterned to the ceramic layer includes a resistor 27, a

capacitor 25, a circuit line 26, a via, an inductor 34, or a bond pad 32. At first, the ceramic core is fired in a furnace and then an outer layer is formed thereon and fired. The ceramic core controls shrinkage of the outer ceramic layer when firing and the high density circuit structure part can be provided on the outer layer.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-332156

(P 2000-332156A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)	
H 0 1 L	23/12	H 0 1 L	23/12	N
B 2 8 B	11/00	H 0 5 K	3/46	H
H 0 1 L	23/13			Q
H 0 5 K	3/46	B 2 8 B	11/00	Z
		H 0 1 L	23/12	C
審査請求 未請求 請求項の数 1 0		O L	外国語出願	(全 2 3 頁) 最終頁に続く

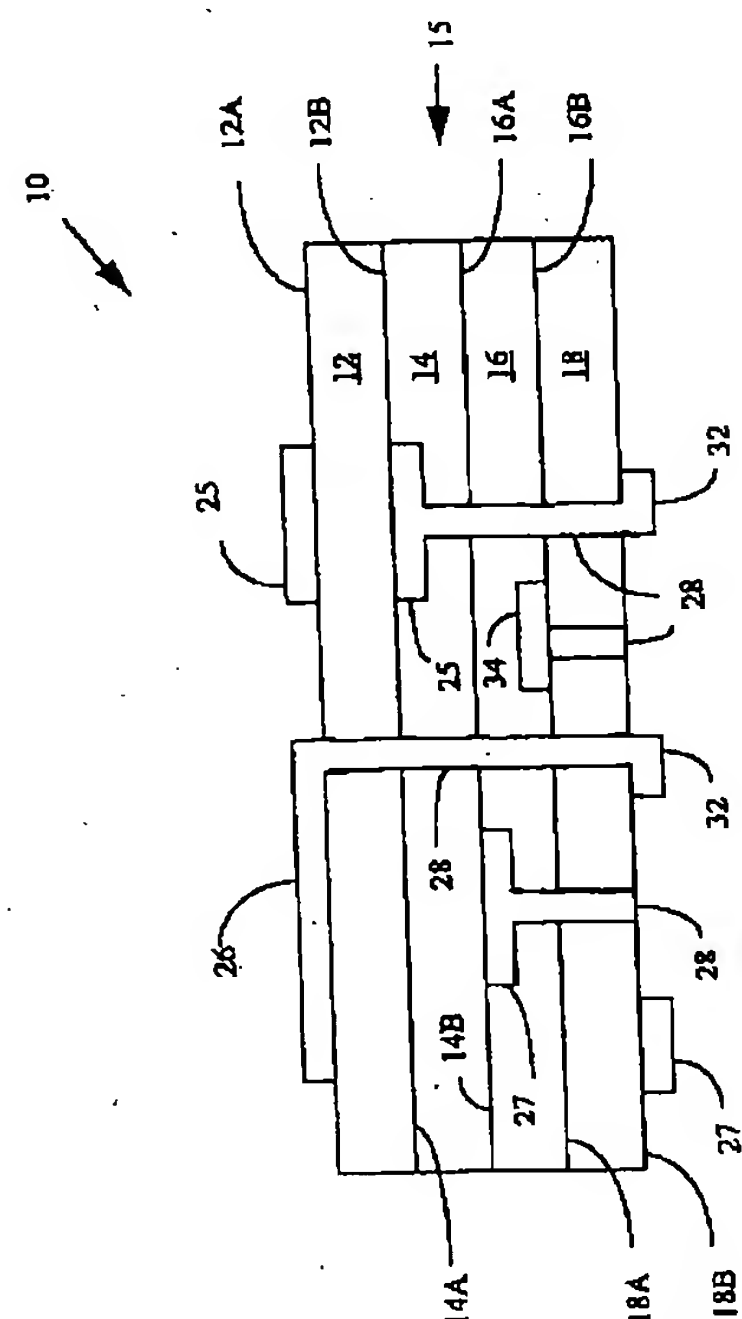
(21) 出願番号	特願2000-73515 (P2000-73515)	(71) 出願人	391027343 シーティーエス・コーポレーション CTS CORPORATION アメリカ合衆国インディアナ州 46514, エルクハート, ノース・ウエスト・ブル ヴァード 905
(22) 出願日	平成12年3月16日 (2000. 3. 16)	(72) 発明者	ポール・エヌ・シェパード アメリカ合衆国インディアナ州47906, ウ エスト・ラファイエット, ハンター・ロー ド 3101
(31) 優先権主張番号	09/270346	(74) 代理人	100089705 弁理士 社本 一夫 (外5名)
(32) 優先日	平成11年3月16日 (1999. 3. 16)		
(33) 優先権主張国	米国 (U S)		

(54) 【発明の名称】 位置合わせが改善された多層低温共焼成セラミック

(57) 【要約】

【課題】 焼成中の外セラミック層の収縮を最小にする拘束コアを持つ低温共焼成セラミックアッセンブリ (L TCC) を提供する。

【解決手段】 外セラミック層 (12、18) は高密度回路構造部を有する。セラミックコア (15) は、幾つかのセラミック層 (14、16) を含む。幾つかのバイア穴 (28) が第1及び第2のセラミック層に配置されている。幾つかの低密度回路構造部 (25、27) が、コアを形成するセラミック層に配置されている。外セラミック層はセラミックコアの上下に配置されている。外セラミック層は、バイア穴 (28) 及び高密度回路構造部 (25、26) を有する。セラミック層にパターンをなして付けられた回路構造部は、抵抗器 (27)、キャパシタ (25)、回路ライン (26)、バイア、インダクター (34)、又はボンドパッド (32) を含む。先ず最初にセラミックコアを炉内で焼成する。次いで、外層をセラミックコアに積層し、焼成する。セラミックコアは、焼成中の外セラミック層の収縮量を制御し、高密度回路構造部を外層に設けることができるようにする。



【特許請求の範囲】

【請求項 1】 高密度回路構造部を持つ多層低温共焼成セラミックアッセンブリにおいて、

a) セラミックコアであって、

a 1) 少なくとも第 1 セラミック層及び第 2 セラミック層、

a 2) 前記第 1 及び第 2 のセラミック層に設けられた複数のバイア穴、及び

a 3) 前記第 1 及び第 2 の層上に設けられた複数の低密度回路構造部を含む、セラミックコアと、

b) 前記セラミックコアが間に配置された少なくとも第 3 及び第 4 のセラミック層であって、

b 1) 前記第 3 及び第 4 のセラミック層に設けられた複数のバイア穴、及び

b 2) 前記第 3 及び第 4 のセラミック層上に設けられた複数の高密度回路構造部を含む、

第 3 及び第 4 のセラミック層とを備えた、多層低温共焼成セラミックアッセンブリ。

【請求項 2】 前記回路構造部は、

a) 抵抗器、

b) キャパシタ、

c) 回路ライン、

d) バイア、

e) インダクター、又は

f) ボンドパッド

からなる群から選択された、請求項 1 に記載の多層低温共焼成セラミックアッセンブリ。

【請求項 3】 前記アッセンブリは、700℃乃至900℃の温度で焼成される、請求項 1 に記載の多層低温共焼成セラミックアッセンブリ。

【請求項 4】 前記セラミックコアは、焼成中、三つの軸線で収縮する、請求項 1 に記載の多層低温共焼成セラミックアッセンブリ。

【請求項 5】 前記第 3 及び第 4 のセラミック層は、x 軸方向及び y 軸方向で 0.8%乃至 1.2%収縮するように、z 軸方向で嵩を一定に保つように収縮する、請求項 4 に記載の多層低温共焼成セラミックアッセンブリ。

【請求項 6】 高密度回路構造部を持つ多層低温共焼成セラミックアッセンブリの製造方法において、

a) 少なくとも第 1 及び第 2 のセラミック層を提供する工程と、

b) 前記第 1 及び第 2 のセラミック層に複数のバイア穴を打ち抜く工程と、

c) 前記第 1 及び第 2 の層に複数の低密度回路構造部をスクリーン印刷する工程と、

d) 第 1 セラミック層を第 2 セラミック層に重ねる工程と、

e) 前記第 1 及び第 2 のセラミック層を炉内で焼成し、セラミックコアを形成する工程と、

f) 少なくとも第 3 及び第 4 のセラミック層を提供する

工程と、

g) 前記第 3 及び第 4 のセラミック層に複数のバイア穴を打ち抜く工程と、

h) 前記第 3 及び第 4 のセラミック層に複数の高密度回路構造部をスクリーン印刷する工程と、

i) 前記セラミックコアを前記第 4 セラミック層に重ね、前記第 3 セラミック層を前記セラミックコアに重ねる工程と、

j) 前記第 3 及び第 4 のセラミック層と前記セラミックコアとを炉内で焼成し、高密度回路構造部を持つアッセンブリを形成する工程とを備えた、多層低温共焼成セラミックアッセンブリの製造方法。

【請求項 7】 前記回路構造部は、

a) 抵抗器、

b) キャパシタ、

c) 回路ライン、

d) バイア、

e) インダクター、又は

f) ボンドパッド

からなる群から選択された、請求項 6 に記載の多層低温共焼成セラミックアッセンブリの製造方法。

【請求項 8】 前記アッセンブリは、700℃乃至900℃の温度で焼成される、請求項 6 に記載の多層低温共焼成セラミックアッセンブリの製造方法。

【請求項 9】 前記セラミックコアは、焼成中、三つの軸線で収縮する、請求項 6 に記載の多層低温共焼成セラミックアッセンブリの製造方法。

【請求項 10】 前記第 3 及び第 4 のセラミック層は、焼成中、x 軸方向及び y 軸方向で 0.8%乃至 1.2%収縮するように、z 軸方向で嵩を一定に保つように収縮する、請求項 9 に記載の多層低温共焼成セラミックアッセンブリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全体として、セラミック電子装置パッケージングに関する。詳細には、焼成中の外側セラミック層の収縮を最小にする拘束コアを持つ多層低温共焼成セラミックアッセンブリ (multilayered low temperature co-fired ceramic assembly: LTCC) に関する。外側セラミック層には、高密度の回路構造部 (circuit feature) がパターン成形されている。

【0002】

【従来の技術】半導体装置及び受動素子用のセラミックパッケージを提供するための様々な装置が知られている。従来技術の設計の一つは、低温共焼成セラミック (LTCC) 基板である。LTCC セラミックは、グリーンテープと呼ばれる未焼成状態のセラミック材料層でできている。従来の厚膜スクリーン印刷技術 (厚膜スク

リーニング技術)によって、回路ライン、抵抗器、キャパシタ、ボンディングパッド、及びバイアを、グリーンテープの表面上及び穴内に形成する。層を互いの頂部に積み重ねて積層体にし、炉内で比較的低温で焼成する。焼成中、LTCCは、x軸方向、y軸方向、及びz軸方向に沿って、LTCCの配合に応じて、典型的には10%乃至20%程度収縮する。

【0003】従来技術のLTCC設計の利点にも拘わらず、製造中に外面上の回路ライン及び素子の位置合わせ即ち整合に関して問題が生じる。焼成中、LTCCの収縮により、外部の構造部が位置に関して変化する。この真の位置のエラーにより、素子を取り付けるとき又は焼成後に材料を印刷するときに、不整合が起こり、その結果、修復不能であり且つ廃棄しなければならない欠陥部品となる。

【0004】本発明と関連した特許の例を以下に記載する。同特許に触れたことにより、その特許に開示されている内容は本明細書中に組み入れたものとする。

【0005】米国特許第5,518,969号には、低収縮セラミック組成物を製造するための方法が記載されている。

【0006】上掲の特許は、本出願人が関知している当該技術分野の状態を反映しており、本出願人が認識している、本願の審査と関連した情報を開示する誠実義務を果たそうとする意図で提示するものである。しかしながら、この特許は、単独でも又は組み合わせても、本出願人が特許請求した発明を教示していないし明らかにしないということは明らかである。

【0007】

【発明が解決しようとする課題】本発明の特徴は、焼成中の外セラミック層の収縮を最小にする拘束コアを持つ低温共焼成セラミックアッセンブリ(LTCC)を提供することである。

【0008】

【課題を解決するための手段】本発明の別の特徴は、高密度回路構造を持つ多層低温共焼成セラミックアッセンブリを提供することである。セラミックコアは、第1及び第2のセラミック層を含む。幾つかのバイア穴が、第1及び第2のセラミック層に配置されている。幾つかの低密度回路構造部が、第1及び第2の層に配置されている。第3及び第4のセラミック層の間にセラミックコアが配置されている。第3及び第4のセラミック層は、幾つかのバイア穴及び高密度回路構造部を有する。回路構造部は、抵抗器、キャパシタ、回路ライン、バイア、インダクター、又はボンドパッドからなる群から選択される。

【0009】本発明の別の特徴は、高密度回路構造部を持つ多層低温共焼成セラミックアッセンブリを形成する方法を提供することである。この方法は、少なくとも第1及び第2のセラミック層を提供する工程と、第1及び

第2のセラミック層に複数のバイア穴を打ち抜く工程と、第1及び第2の層に複数の低密度回路構造部をスクリーン印刷する工程と、第1セラミック層を第2セラミック層に重ねる工程と、第1及び第2のセラミック層を炉内で焼成し、セラミックコアを形成する工程と、少なくとも第3及び第4のセラミック層を提供する工程と、第3及び第4のセラミック層に複数のバイア穴を打ち抜く工程と、第3及び第4のセラミック層に複数の高密度回路構造部をスクリーン印刷する工程と、セラミックコアを第4セラミック層に重ね、第3セラミック層をセラミックコアに重ねる工程と、第3及び第4のセラミック層とセラミックコアを炉内で焼成し、アッセンブリを形成する工程とを含む。アッセンブリは、高密度回路構造部を含む。回路構造部は、抵抗器、キャパシタ、回路ライン、バイア、インダクター、又はボンドパッドからなる群から選択される。

【0010】本発明はこれらの特徴自体のいずれか一つにあるのではなく、本明細書中に開示し且つ特許請求した全ての特徴の特定の組み合わせにある。本開示がその基礎となす概念は、本発明の幾つかの目的を実施するための他の構造、方法、及びシステム計の基礎として容易に使用できるということは当業者には理解されよう。更に、要約書は、特許請求の範囲に記載した本願発明を限定しようとするものでも、本発明の範囲を限定しようとするものでもない。

【0011】本発明のこれらの及び他の特徴は、添付図面を参照して以下の説明を読むことによって最もよく理解されるであろう。

【0012】

【発明の実施の形態】添付図面は、縮尺通りでないということに着目されたい。添付図面は、単なる概略図であり、本発明の特定のパラメータ描写しようとするものではない。添付図面は、単に本発明の代表的な実施例を示そうとするものであり、及び従って、本発明の範囲を限定するものと考えてはならない。添付図面を参照して本発明を詳細に説明する。

【0013】図1及び図2を参照すると、多層低温共焼成セラミック(LTCC)アッセンブリ10が示してある。LTCCセラミック層14及び16は、外面14A、14B、及び16A、16Bを夫々有する。層14及び16は、従来のLTCCグリーンテープ(LTCC green tape)である。層14及び16の一例は、デラウェア州ウィルミントンのデュポン社の電子材料部から商業的に入手できる951グリーンテープ(951グリーンテープは登録商標である)である。層14及び16は、それ自体が、焼成中に全ての軸線で8%乃至12%収縮する。

【0014】所望であれば、様々な回路構造部及び受動電子素子を層14及び16に含ませることができる。層14及び16上にパターン成形された回路構造部を、非

クリティカル回路 (non-critical) 構造部又は低密度回路構造部と呼ぶ。これらは寸法が大きく、間隔が大きく隔てられており、位置合わせの必要条件が他の層上の回路構造部よりも低い。表面16A上に埋め込み抵抗器27が示してある。バイア28が、抵抗器27を表面18Bに接続する。表面16B上に埋め込みインダクター (コイル) 34が示してある。別のバイア28が、インダクター34を底面18Bに接続する。アッセンブリ10に組み立てることができる回路構造部及び素子には幾つかの例がある。抵抗器27、インダクター34、及びバイア28は、通常の厚膜導体の材料で製造されており、通常の厚膜スクリーン印刷技術 (厚膜スクリーニング技術) 及び硬化技術によって塗布される。回路構造部を塗布した後、層14及び16を互いに重ね、即ち積層し、炉内で焼成し、セラミックコア15を形成する。

【0015】LTCCセラミック層12及び18は、外面12A、12B、及び18A、18Bを夫々有する。層12及び18は、従来のLTCCグリーンテープである。層12及び18の一例は、デラウェア州ウィルミントンのデュポン社の電子材料部から商業的に入手できる951グリーンテープ (951グリーンテープは登録商標である) である。電極25が表面12A上に配置されている。別の電極25が表面12B上に配置されている。これらの電極25がキャパシタを形成する。バイア28が、埋め込み電極25を、外面18Bに設けられたボンダパッド (換言すれば、ボンディングパッド) 32に接続する。回路ライン26が、表面12Aに設けられている。バイア28は、回路ライン26の端部を、外面18Bに設けられたボンダパッド32に接続する。ボンダパッド32は、所望であれば、半導体装置に接続できる。抵抗器27が表面18B上に示されている。回路ライン26、ボンダパッド32、及びバイア28は、LTCC装置10に設けられた他の回路ライン (図示せず) 又は素子 (図示せず) に接続される。層12及び18に設けられた回路構造部は、従来の厚膜導体材料から製造されており、従来の厚膜スクリーン印刷技術 (厚膜スクリーニング技術) 及び硬化技術によって付けられている。層12及び18に設けられたこれらの回路構造部及び素子は、高密度形体でパターン成形されており、寸法が小さく、焼成後プロセスのために正確な許容差に保持されていなければならない。収縮が正確に制御されていない場合には、焼成後の材料又は配置された素子の位置が狂い (すなわち、不整合または非整合状態となり)、その結果、電氣的に開放 (開路) したり、または、短絡したりすることになる。

【0016】回路構造部を層12及び18に塗布した後、セラミックコア15を層18に重ね、そして、層12をセラミックコア15の頂部に重ね、即ち積層し、アッセンブリ10を形成する。次いで、アッセンブリ10

を炉内で焼成し、アッセンブリ10を形成する。この場合も、これらの回路構造部及び素子を、正確な位置合わせ及び許容差に保持しなければならない。回路素子間が不整合の場合には、開路 (開放) 又は短絡が生じる可能性がある。セラミックコア15を層12と18との間に組み合わせることにより、層12及び18の焼成中の収縮量を変化させる。層12及び18は、焼成中、x軸及びy軸方向において、0.8%乃至1.2%しか収縮しない。層12及び18のz軸方向の収縮は、その通常の10%乃至12%ではない。層12及び18は、焼成後に通常の密度となるため、z軸方向に遙かに大きく、約40%乃至60%程度収縮する。層12及び18は、嵩を一定に保つように収縮する。層12及び18は、焼成中に収縮し、理論的完全圧縮密度の90%以上の通常の焼成密度を維持する。セラミックコア15はその焼成寸法を維持する。即ち、x軸方向、y軸方向、及びz軸方向で0.8%乃至1.2%程度僅かに収縮する。セラミックコア15は、層12及び18の収縮を、x軸方向及びy軸方向でのセラミックコア15の収縮を拘束する。焼成後に結果的に得られたアッセンブリ10は、高い密度及び小さな寸法を持つことができ、層12、14、16、及び18に置かれた回路構造部の位置合わせ及び許容差が良好に保持される。位置合わせが良好になされるため、生産量が改善され、品質が良好で、不合格品が少なく、スクラップが少なく、製造費用が低い。

【0017】図1及び図2のLTCCアッセンブリ10は、以下のように組み立てることができる。第1工程は、バイア28を層12、14、16、及び18に打ち抜く工程である。次いで、バイア28を、スクリーン印刷により、各層12、14、16、及び18上に、導体で充填する。次に、電極25、抵抗器27、回路ライン26、ボンダパッド32、及びインダクター34を、表面12A、12B、14A、14B、16A、16B、18A、及び18B上にスクリーン印刷する。層14及び16を積み重ね、熱及び圧力を加えて互いに積層する。層14及び16を、700℃乃至900℃の温度の炉内で焼成し、セラミックコア15を形成する。セラミックコア15を層18に重ね、そして、層12をセラミックコア15に重ねる。次に、層12、18、及びコア15を、熱及び圧力を加えて積層する。層12、18、及びセラミックコア15を700℃乃至900℃の温度の炉内で焼成し、アッセンブリ10を完成する。

好ましい実施例の変形例

電子装置のパッケージング及び電子セラミックの当業者は、前記好ましい実施例を使用することにより多くの利点を知るであろう。更に、当業者は、好ましい実施例を実施する上で多くの異なる方法があるということを知るであろう。例えば二つ以上の層14及び16を積み重ねてコア15を形成できる。同様に、二つ以上の層12及び18をコア15に積み重ねることができる。アッセン

ブリ 10 の幾つかのユニットを互いに重ねた後にユニット全体を焼成することもできる。

【0018】実施例は、電氣的な接続を形成するためにバイア 28 を使用することを示す。ピンの圧入 (pressed in pin) 等の他の電氣的な接続を使用してもよい。

【0019】以上、上記実施例では低温共焼成セラミックを使用することを論じたが、高温セラミック等の他のセラミックを使用できる。

【0020】特定の回路構造部を使用する実施例を論じたが、導波管、表面音響装置 (表面弾性波デバイス)、共振器、又はミキサー等の他の回路構造部又は受動素子を使用できる。更に、半導体装置を、外面 12A 又は 18A に取り付けることが考えられる。更に、半導体装置を、アッセンブリ 10 の層内に埋め込むことができる。

【0021】本発明を以上の実施例を特に参照して教示したが、本発明の精神及び範囲から逸脱することなく、形態及び詳細に変更を加えることができるということは当業者には理解されよう。上文中に説明した実施例は、全ての点に関し、単なる例示であって限定しようとするものではないと考えられるべきである。従って、本発明

の範囲は、以上の説明でなく添付の特許請求の範囲に示されている。特許請求の範囲の均等の意味及び範囲内の全ての変更が特許請求の範囲内に包含される。

【図面の簡単な説明】

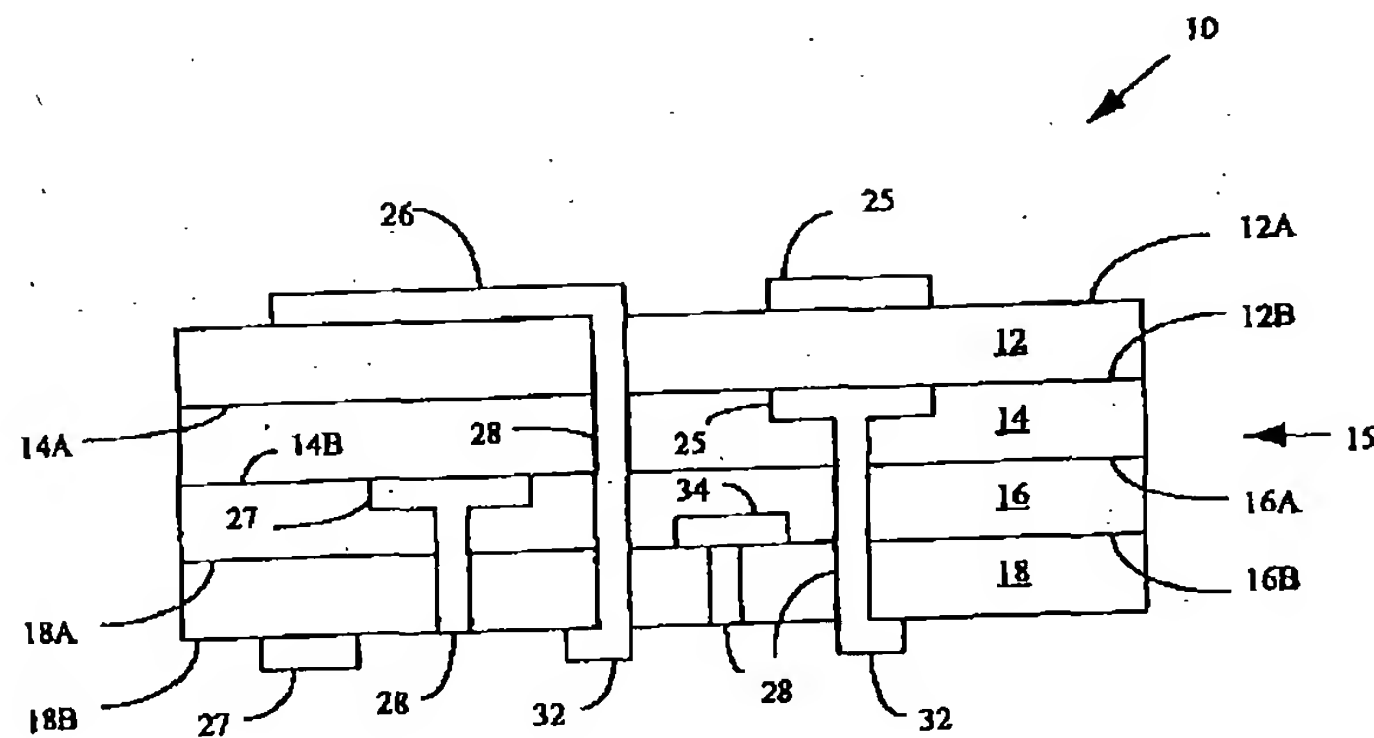
【図 1】位置合わせが改善された低温共焼成焼成セラミックアッセンブリ (LTCC) の好ましい実施例の側断面図である。

【図 2】図 1 のアッセンブリの組み立て手順を示す概略図である。

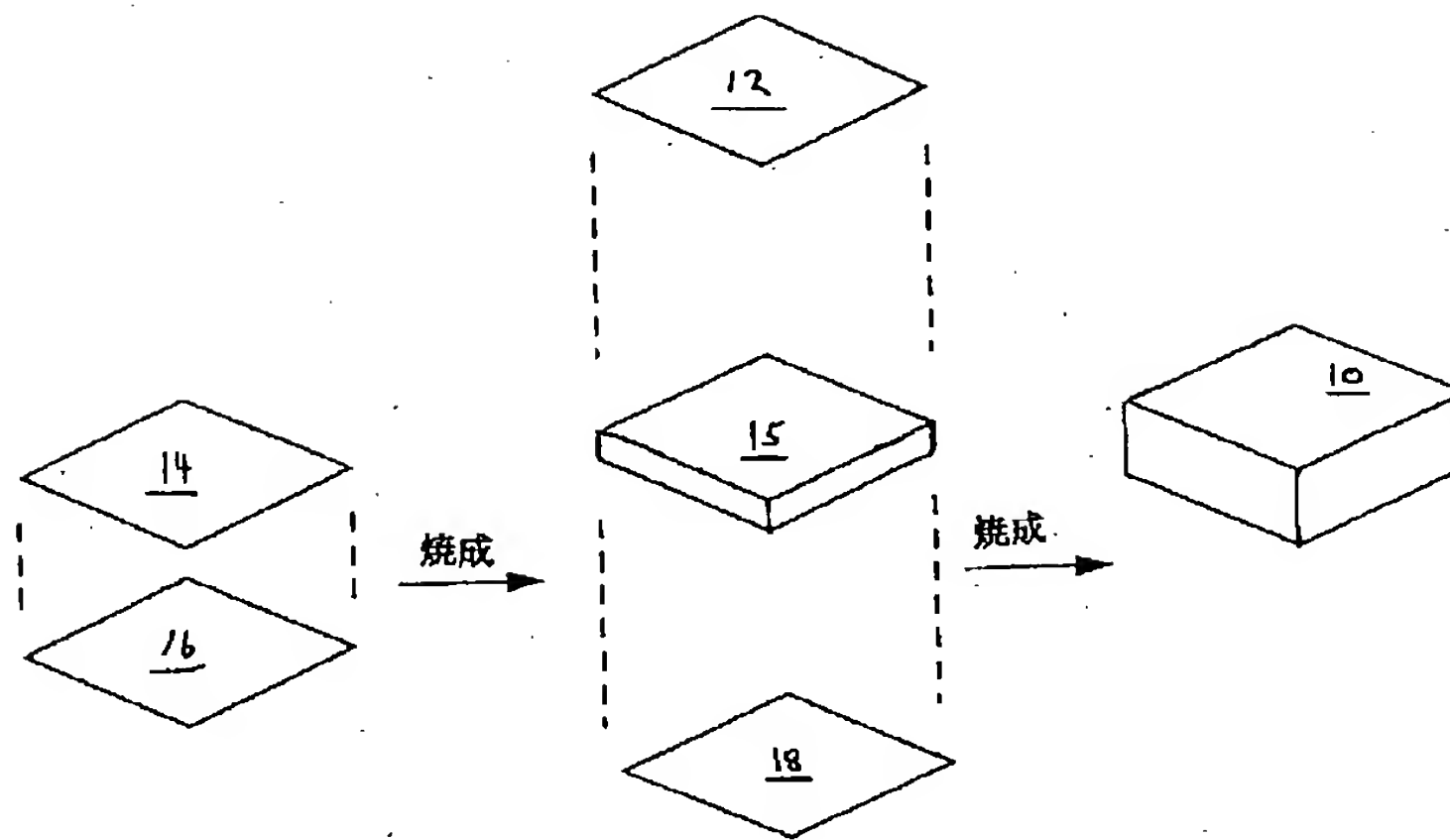
【符号の説明】

- 10 多層低温共焼成セラミック (LTCC) アッセンブリ
- 12 層
- 14 LTCC セラミック層
- 15 セラミックコア
- 16 LTCC セラミック層
- 18 層
- 27 埋め込み抵抗器
- 28 バイア
- 34 埋め込みインダクター

【図 1】



【図 2】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 23/12テーマコード (参考)
B

【外国語明細書】

1 Title of Invention

LOW TEMPERATURE CO-FIRED CERAMIC
WITH IMPROVED REGISTRATION

2 Claims

1. A multilayered low temperature co-fired ceramic assembly with high density circuit features, comprising:

a) a ceramic core including:

a1) at least a first and a second ceramic layer;

a2) a plurality of via holes located in the first and second ceramic layers; and

a3) a plurality of low density circuit features located on the first and second layers; and

b) at least a third and a fourth ceramic layers, the ceramic core disposed between the third and the fourth ceramic layers, the third and the fourth ceramic layer including:

b1) a plurality of via holes in the third and fourth ceramic layers; and

b2) a plurality of high density circuit features on the third and fourth ceramic layers.

2. The multilayered low temperature co-fired ceramic assembly according to claim 1, wherein the circuit features are selected from the group consisting of:

- a) resistors;
- b) capacitors;
- c) circuit lines;
- d) vias;
- e) inductors; or
- f) bond pads.

3. The multilayered low temperature co-fired ceramic assembly according to claim 1, wherein the assembly is fired at a temperature between 700 and 900 degrees Celsius.

4. The multilayered low temperature co-fired ceramic assembly according to claim 1, wherein the ceramic core shrinks in three axes during firing.

5. The multilayered low temperature co-fired ceramic assembly according to claim 4, wherein the third and fourth ceramic layers shrink as to conserve mass in a z axis and from .8% to 1.2% in an x and y axes.

6. A method of making a multilayered low temperature co-fired ceramic assembly with high density circuit features, comprising:

- a) providing at least a first and a second ceramic layer;
- b) punching a plurality of via holes in the first and second ceramic layers;
- c) screen printing a plurality of low density circuit features on the first and second layers;
- d) stacking the first ceramic layer onto the second ceramic layer;
- e) firing the first and second ceramic layers in a furnace in a furnace such that a ceramic core is formed;
- f) providing at least a third and a fourth ceramic layer;
- g) punching a plurality of via holes in the third and fourth ceramic layers;
- h) screen printing a plurality of high density circuit features on the third and fourth ceramic layers;
- i) stacking the ceramic core onto the fourth ceramic layer and stacking the third ceramic layer onto the ceramic core; and
- j) firing the third and fourth ceramic layers and the ceramic core in a furnace such that the assembly is formed, the assembly having high density circuit features.

7. The method of making a multilayered low temperature co-fired ceramic assembly according to claim 6, wherein the circuit features are selected from the group consisting of:

- a) resistors;
- b) capacitors;
- c) circuit lines;
- d) vias;
- e) inductors; or
- f) bond pads.

8. The method of making a multilayered low temperature co-fired ceramic assembly according to claim 6, wherein the assembly is fired at a temperature between 700 and 900 degrees Celsius.

9. The multilayered low temperature co-fired ceramic assembly according to claim 6, wherein the ceramic core shrinks in three axes during firing.

10. The multilayered low temperature co-fired ceramic assembly according to claim 9, wherein the third and fourth ceramic layers shrink as to conserve mass during firing in the z axis and from .8% to 1.2% in the x and y axes.

3 Detailed Description of Invention

BACKGROUND OF THE PREFERRED EMBODIMENT(S)

This invention generally relates to ceramic electronic packaging. Specifically, there is a multilayered low temperature co-fired ceramic assembly (LTCC) with a constraining core to minimize shrinkage of outer ceramic layers during firing. The outer ceramic layers have high density circuit features patterned thereon.

Various devices are well known for providing ceramic packages for semiconductor devices and passive components. One of the prior art designs is a low temperature co-fired ceramic (LTCC) substrate. The LTCC ceramic is made of layers of ceramic material, which in an unfired state, are called green tapes. Circuit lines, resistors, capacitors, bonding pads and vias are created on the surface and in holes of the green tapes by conventional thick film screening techniques. The layers are stacked on top of each other laminated and fired at a relatively low temperature in a furnace. During firing, the LTCC shrinks along the x, y and z axes typically 10-20 percent depending upon the LTCC formulation.

Despite the advantages of the prior art LTCC designs, problems occur with the registration or alignment of the circuit lines and components on the exterior surfaces during manufacturing. During firing, the shrinkage of the LTCC causes the external features to vary with respect to true position. This true position error can cause misalignment when attaching components or printing post-fire materials, resulting in a defective part that is non-repairable and has to be discarded.

Description of Related Art

Examples of a patent related to the present invention is as follows, and is herein incorporated by reference for related and supporting teachings:

U.S. patent no. 5,518,969, is a process for producing low shrink ceramic compositions.

The foregoing patent reflects the state of the art of which the applicant is aware and is tendered with the view toward discharging applicants' acknowledged duty of candor in disclosing information that may be pertinent in the examination of this application. It is respectfully stipulated, however, that this patent does not teach or render obvious, singly or when considered in combination, applicants' claimed invention.

SUMMARY

It is a feature of the invention to provide a low temperature co-fired ceramic assembly (LTCC) with a constraining core to minimize shrinkage of outer ceramic layers during firing.

A further feature of the invention is to provide a multilayered low temperature co-fired ceramic assembly that has high density circuit features. A ceramic core includes a first and a second ceramic layer. Several via holes are located in the first and second ceramic layers. Several low density circuit features are located on the first and second

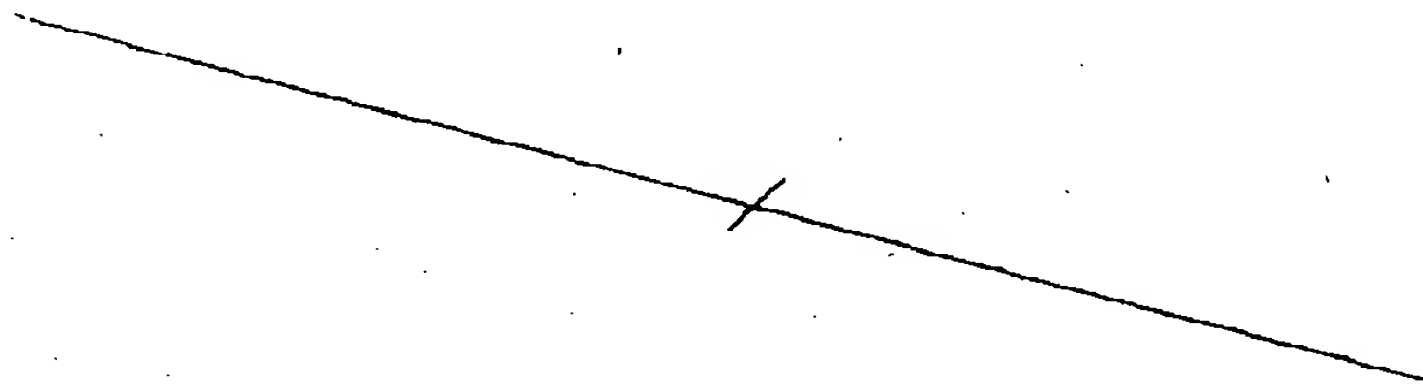
layers. A third and a fourth ceramic layers have the ceramic core located in between. The third and the fourth ceramic layers have several via holes and high density circuit features. The circuit features are selected from the group of resistors, capacitors, circuit lines, vias, inductors, or bond pads.

A further feature of the invention is to provide a method of making a multilayered low temperature co-fired ceramic assembly with high density circuit features, the method includes: providing at least a first and a second ceramic layer; punching a plurality of via holes in the first and second ceramic layers; screen printing a plurality of low density circuit features on the first and second layers; stacking the first ceramic layer onto the second ceramic layer, firing the first and second ceramic layers in a furnace such that a ceramic core is formed; providing at least a third and a fourth ceramic layer; punching a plurality of via holes in the third and fourth ceramic layers; screen printing a plurality of high density circuit features on the third and fourth ceramic layers; stacking the ceramic core onto the fourth ceramic layer and stacking the third ceramic layer onto the ceramic core; and firing the third and fourth ceramic layers and the ceramic core in a furnace such that the assembly is formed. The assembly has high density circuit features. The circuit features are selected from the group of: resistors, capacitors, circuit lines, vias, inductors, or bond pads.

The invention resides not in any one of these features per se, but rather in the particular combination of all of them herein disclosed and claimed. Those skilled in the art will appreciate that the conception, upon which this disclosure is based, may

readily be utilized as a basis for the designing of other structures, methods and systems for carrying out the several purposes of the present invention. Further, the abstract is neither intended to define the invention of the application, which is measured by the claims, neither is it intended to be limiting as to the scope of the invention in any way.

These and other features of the invention can best be understood by the following description of the accompanying drawings.



It is noted that the drawings of the invention are not to scale. The drawings are merely schematic representations, not intended to portray specific parameters of the invention. The drawings are intended to depict only typical embodiments of the invention, and therefore should not be considered as limiting the scope of the invention. The invention will be described with additional specificity and detail through the accompanying drawings.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

Referring to figures 1 and 2, a multilayered low temperature co-fired ceramic (LTCC) assembly 10 is shown. LTCC ceramic layers 14 and 16 have outer surfaces 14A, 14B and 16A and 16B, respectively. Layers 14 and 16 are conventional LTCC green tapes. An example of layers 14 and 16 is 951 Green Tape (tm) commercially available from Dupont Corporation, Electronic Materials Division, Wilmington, Delaware. Layers 12 and 16, by themselves, shrink from 8 to 12 percent during firing in all axes.

Various circuit features and passive electronic components can be included on layers 14 and 16 if desired. The circuit features patterned on layers 14 and 16 are called non-critical or low density circuit features. They are larger in dimension, spaced farther apart and have lesser registration requirements than the circuit features on other layers.

A buried resistor 27 is shown on surface 16A. A via 28 connects resistor 27 with bottom surface 18B. A buried inductor 34 is shown on surface 16B. Another via 28 connects inductor 34 to bottom surface 18B. These are some examples of the circuit features and components that can be fabricated on assembly 10. Resistors 27, inductor 34 and vias 28 are made from conventional thick film conductor materials and are applied by conventional thick film screening and curing techniques. After circuit features have been applied, layers 14 and 16 would be stacked on top of each other or laminated and fired in a furnace to form a ceramic core 15.

LTCC ceramic layers 12 and 18 have outer surfaces 12A, 12B and 18A and 18B, respectively. Layers 12 and 18 are conventional LTCC green tapes. An example of layers

12 and 18 is 951 Green Tape (tm) commercially available from Dupont Corporation, Electronic Materials Division, Wilmington, Delaware. An electrode 25 is located on surface 12A. Another electrode is located on surface 12B. Electrodes 25 form a capacitor. A via 28 connects buried electrode 25 to bond pad 32 on outer surface 18B. A circuit line 26 is located on surface 12A. Via 28 connects an end of circuit line 26 to bond pad 32 on outer surface 18B. Bond pads 32 can connect to a semiconductor device if desired. A resistor 27 is shown on surface 18B. Circuit lines 26, bond pads 32 and vias 28 connect with other circuit lines (not shown) or components (not shown) on the LTCC device 10. The circuit features on layers 12 and 18 are made from conventional thick film conductor materials and are applied by conventional thick film screening and curing techniques. These circuit features and components on layers 12 and 18 are patterned in a high density configuration with small dimensions and have to be held to precise tolerances for post-fire processing. If shrinkage is not precisely controlled, post-fire materials or placed components will be mis-registered, resulting in an electrical open or short.

After circuit features have been applied to layers 12 and 18, ceramic core 15 is stacked on layer 18 and layer 12 is stacked or laminated on top of ceramic core 15 to form assembly 10. Assembly 10 is then fired in a furnace to form assembly 10. Again, these circuit features and components have to be held to precise registration and tolerance. In the case of a mis-alignment among the circuit components, an open or a short may result. The combination of the ceramic core 15 between the layers 12 and 18 causes a change in the shrinkage rate of the layers 12 and 18 during firing. Layers 12 and 18 shrink only

.8 to 1.2 percent in the x and y axes during firing. Layers 12 and 18 do not shrink at their normal 10 to 12 percent rate in the z-axis direction. Layers 12 and 18 shrink at a much higher rate in the z-axis of about 40 to 60 percent in order to arrive at a normal density after firing. Layers 12 and 18 shrink as to conserve mass. The layers 12 and 18 shrink during firing to maintain a normal fired density of greater than 90 percent of the theoretical fully compacted density. The ceramic core 15 maintains its fired dimensions or shrinks slightly on the order of .8 to 1.2 percent in the x, y and z axes. Ceramic core 15 constrains the shrinkage of layers 12 and 18 to that of the ceramic core 15 in the x and y directions. The resulting assembly 10 after firing is able to have higher densities, smaller dimensions and to better hold registration and tolerances for circuit features placed on layers 12, 14, 16 and 18. The better registration results in improved yields, better quality, less rejects, less scrap and lower costs of manufacturing.

LTCC assembly 10, of figures 1 and 2 can be assembled as follows: The first step is to punch vias 28 into layers 12, 14, 16 and 18. The vias 28 are then screen filled with a conductive material on each of layers 12, 14, 16 and 18. Next, electrodes 25, resistors 27, circuit lines 26, bond pads 32 and inductors 34 would be screened onto surfaces 12A, 12B, 14A, 14B, 16A, 16B, 18A and 18B. Layers 14 and 16 would be stacked and laminated under heat and pressure onto each other. Layers 14 and 16 are fired in a furnace at a temperature between 700 and 900 degrees Celsius to form ceramic core 15. Ceramic core 15 is stacked onto layer 18 and layer 12 is stacked onto ceramic core 15. Next, Layers 12, 18 and core 15 are laminated under heat and pressure. Layers 12, 18

and ceramic core 15 are fired in a furnace at a temperature between 700 and 900 degrees Celsius to complete assembly 10.

Variations of the Preferred Embodiment(s)

One of ordinary skill in the arts electronic packaging and electronic ceramics, will realize many advantages from using the preferred embodiment. Further, one of ordinary skill in the art will realize that there are many different ways of accomplishing the preferred embodiment. For example, it is contemplated that more than two layers 14 and 16 could be stacked to form core 15. Similarly, more than two layers 12 and 18 could be stacked on core 15. It also is possible to stack several units of assembly 10 on each other and then fire the overall unit.

The embodiment shows the use of vias 28 to make electrical connections. Other electrical connections could be used such as pressed in pins.

Even though the embodiment discusses the use of low temperature co-fired ceramics, other ceramics could be used such as high temperature ceramics.

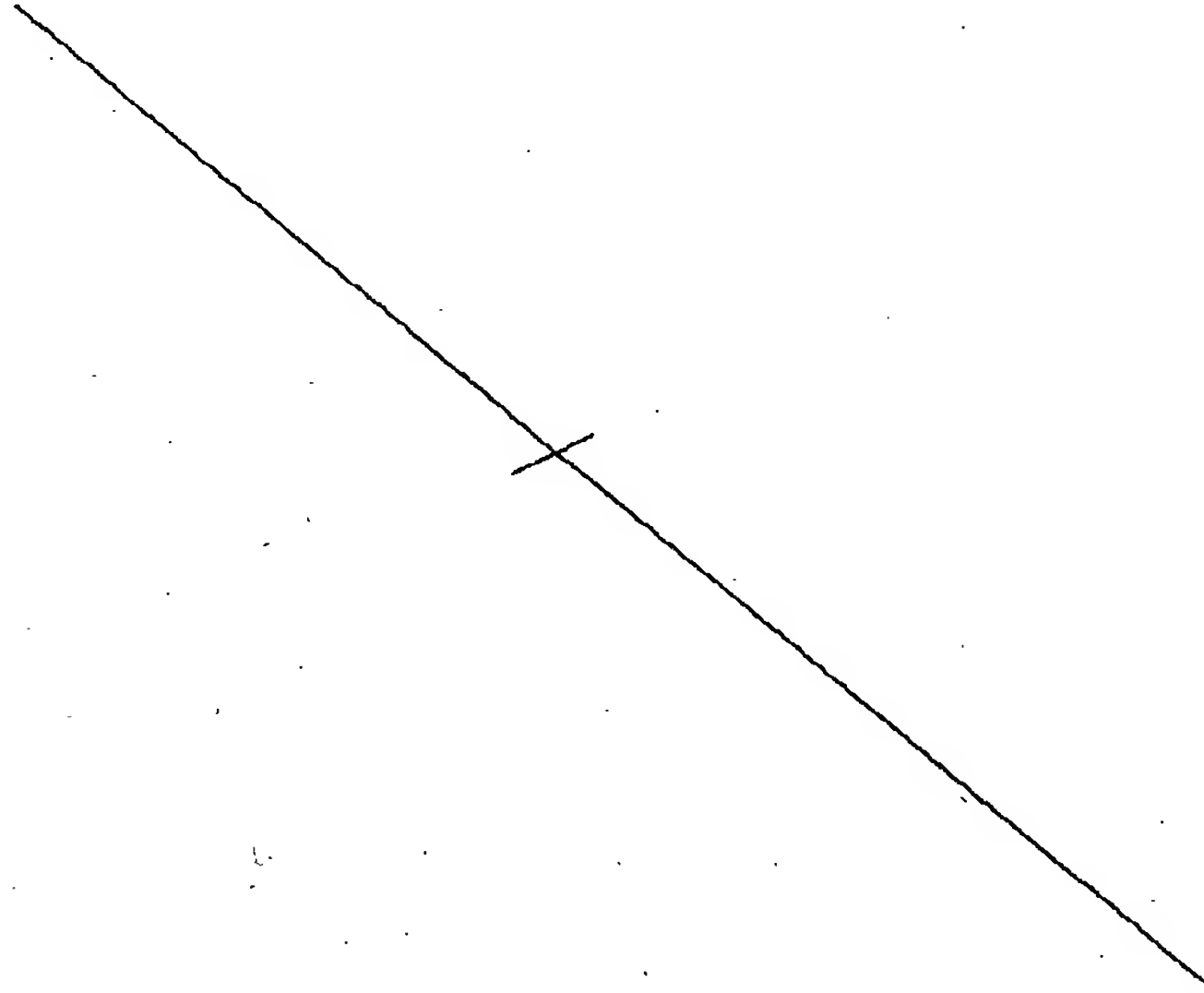
Even though the embodiment discusses the use of certain circuit features, other circuit features or passive components could be used such as waveguides, surface acoustic devices, resonators, or mixers. Further, it is contemplated that semiconductor devices could be mounted on the outer surfaces 12A or 18A. Semiconductor devices could also be buried within the layers of assembly 10.

While the invention has been taught with specific reference to these embodiments, someone skilled in the art will recognize that changes can be made in form and detail without departing from the spirit and the scope of the invention. The described embodiments are to be considered in all respects only as illustrative and not restrictive. The scope of the invention is, therefore, indicated by the appended claims rather than by the foregoing description. All changes that come within the meaning and range of equivalency of the claims are to be embraced within their scope.

4 Brief Description of Drawings

Figure 1 is a side cross sectional view of the preferred embodiment of a low temperature co-fired ceramic assembly (LTCC) with improved registration.

Figure 2 is a diagram showing an assembly sequence of the assembly of figure 1.



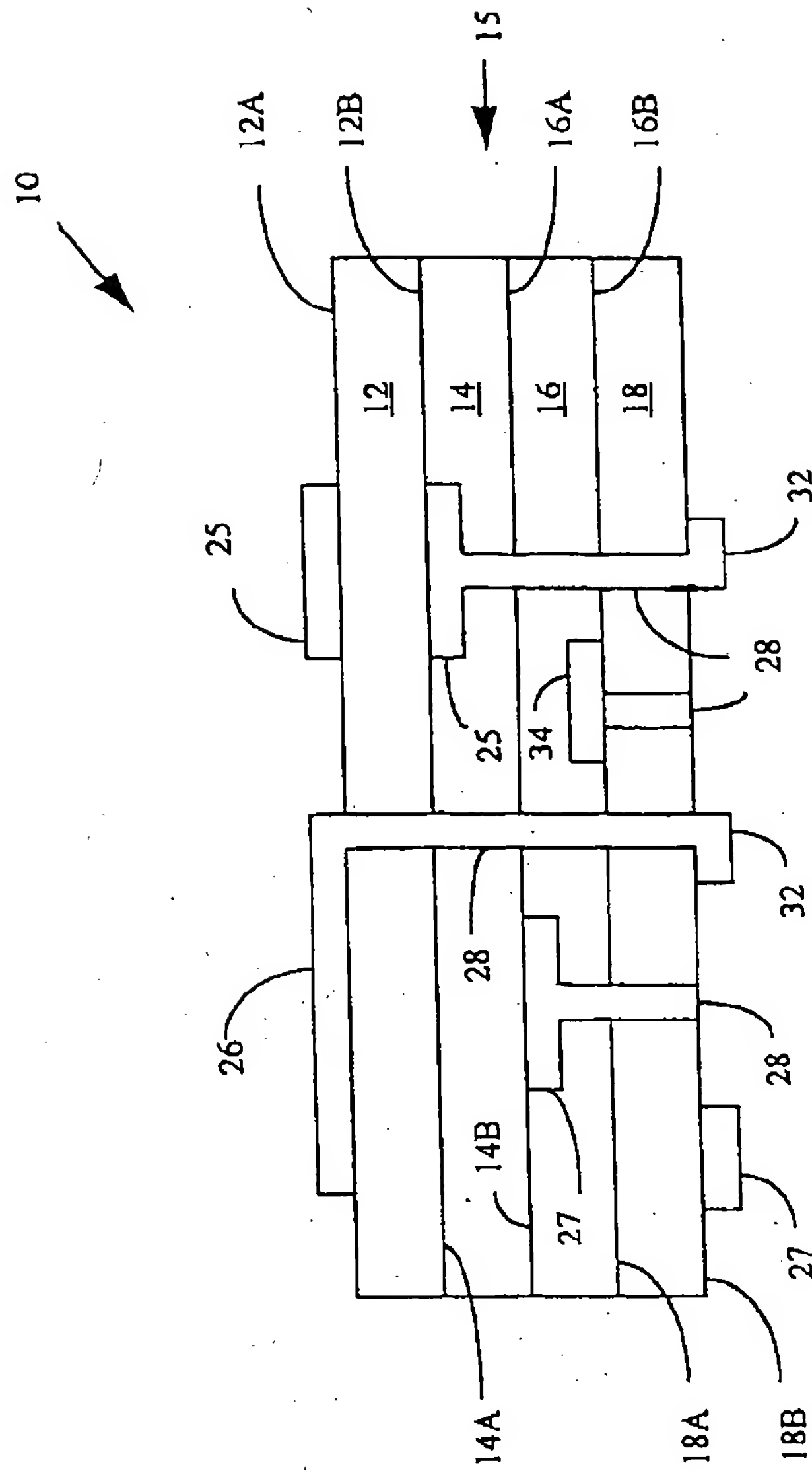


Figure 1

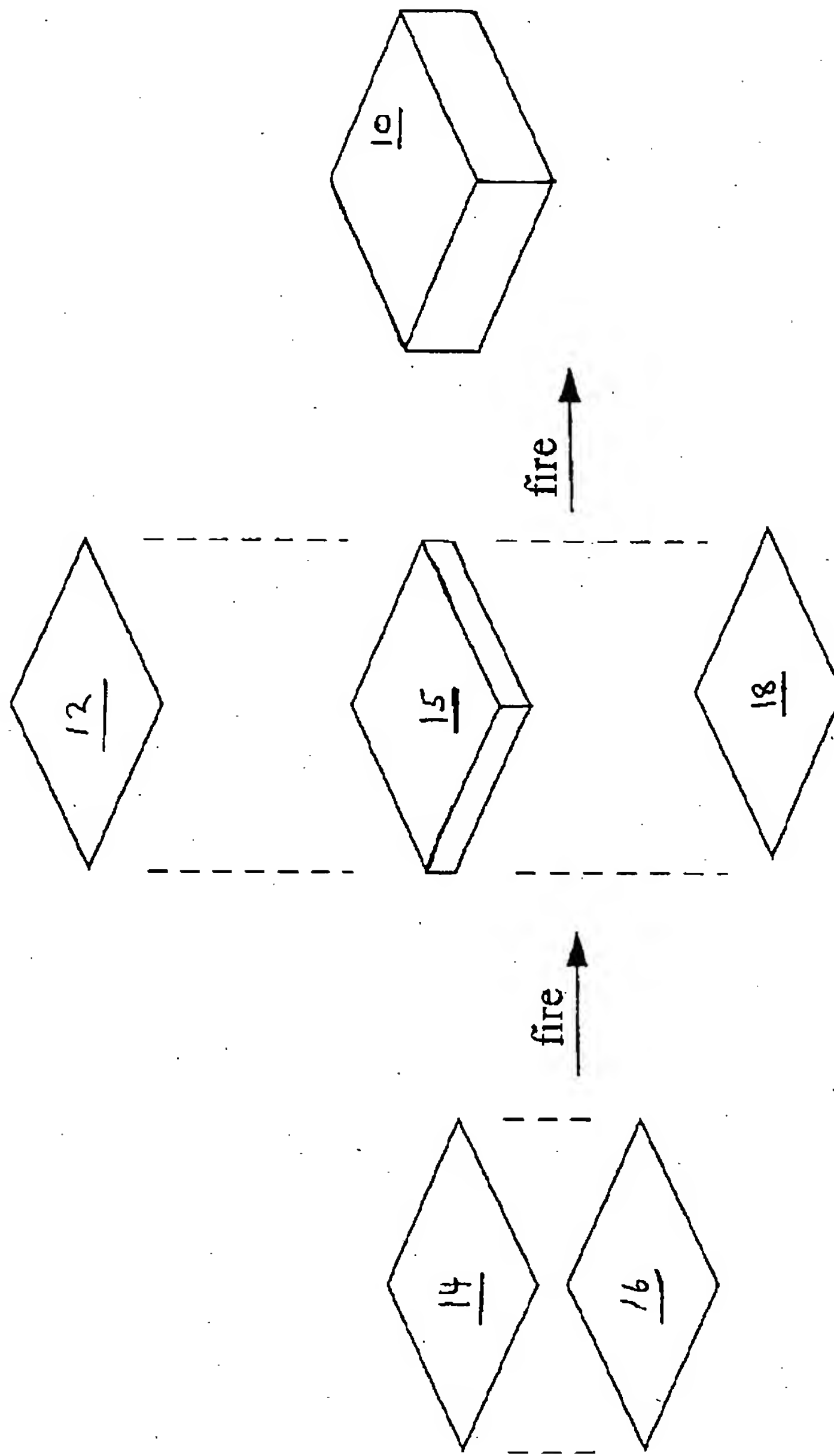


Fig. 2

1 Abstract

A low temperature co-fired ceramic assembly (LTCC) with a constraining core to minimize shrinkage of outer ceramic layers during firing. The outer ceramic layers have high density circuit features. A ceramic core includes several ceramic layers. Several via holes are located in the first and second ceramic layers. Several low density circuit features are located on the ceramic layers that make up the core. Outer ceramic layers are placed top and bottom of the ceramic core. The outer ceramic layers have via holes and high density circuit features. The circuit features patterned on the ceramic layers include resistors, capacitors, circuit lines, vias, inductors, or bond pads.

The ceramic core is fired first in a furnace. The outer layers are then laminated to the ceramic core and fired. The ceramic core controls the shrinkage rate of the outer ceramic layers during firing allowing higher density circuit features on the outer layers.

2 Representative Drawing

F i g . 1

1